

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-191499

⑮ Int. Cl.⁴

G 11 C 11/34

識別記号

1 0 1

庁内整理番号

8522-5B

⑬ 公開 昭和60年(1985)9月28日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 ダイナミック型ランダムアクセスメモリ

⑯ 特 願 昭59-45202

⑰ 出 願 昭59(1984)3月9日

⑱ 発 明 者 内 田 幸 正 川崎市幸区小向東芝町1番地 東京芝浦電気株式会社総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

明 細 書

1. 発明の名称

ダイナミック型ランダムアクセスメモリ

2. 特許請求の範囲

(1) それぞれ多数のメモリセルと1個のダミーセルとが接続されたビット線対と、上記メモリセルおよびダミーセルを選択するためのワード線およびダミーワード線と、前記ビット線対に接続されたラッチ型センスアンプとを有し、上記メモリセルはMOS型の転送トランジスタおよび記憶用キャパシタが直列接続され、上記転送用トランジスタのゲートが前記ワード線に接続され、上記転送用トランジスタの一端が前記ビット線に接続されてなるダイナミック型ランダムアクセスメモリにおいて、前記ラッチ型センスアンプの基準電位として外部基準電源電位より所定の定電圧だけレベルシフトした内部電源電圧を供給する内部電源回路を具備し、前記メモリセルの非選択時におけるワード線電位に対してビット線の低レベル電位を前記定電圧分

以上シフトさせるようにしてなることを特徴とするダイナミック型ランダムアクセスメモリ。

(2) 前記ラッチ型センスアンプは、複数のビット線対に各対応するラッチ型センスアンプそれぞれのラッチ用トランジスタとして共通の1個のMOSトランジスタが接続されてなることを特徴とする前記特許請求の範囲第1項記載のダイナミック型ランダムアクセスメモリ。

(3) 前記転送トランジスタは、ソース電位とゲート電位とが等しいときにドレイン・ソース間で電流が流れる特性を有することを特徴とする前記特許請求の範囲第1項記載のダイナミック型ランダムアクセスメモリ。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半導体メモリに係り、特にダイナミック型ランダムアクセスメモリ(以下、DRAMと略記する)に関する。

〔発明の技術的背景〕

半導体メモリは微細加工技術の進展と共に大

容量化が進み、たとえば1 MビットのDRAMではゲート長が $1\mu\text{m} \sim 1.5\mu\text{m}$ の微細化MOS(絶縁ゲート型)トランジスタが用いられようとしている。さらに、将来、4 MビットのDRAMが開発される頃には、使用するMOSトランジスタのゲート長は約 $0.8\mu\text{m}$ に、16 MビットのDRAMが開発される頃には、MOSトランジスタのゲート長は約 $0.5\mu\text{m}$ 程度に縮小されることが予想される。このような大容量のDRAMのメモリセルは、記憶用キャパシタと転送用MOSトランジスタの2素子よりなるが、転送用MOSトランジスタのゲート長および実効チャネル長が短くなるにつれて短チャネル効果によってMOSトランジスタの閾値電圧の制御が難しくなると共に、ゲート電圧に対するドレイン電流の増加の傾きが緩くなり、サブスレッショールド電流が無視できなくなる。

ここで、従来のDRAMの回路の一部を第1図(a)に、その動作波形の一例を第1図(b)に示す。ビット線 B 、 \bar{B} にはプリチャージ回路 I が接続さ

- 3 -

スの共通接続部と外部基準電源 V_{ss} との間に接続されてゲートにセンスラッチ信号SLが加えられるラッチ用NチャネルMOSトランジスタ T_1 とからなる。

次に、上記DRAMの動作の概略を第1図(b)のタイミング図を参照して説明する。時刻 t_0 において、各ワード線 4 、 $4'$ 、 $5'$ 、 5 は非選択状態(V_{ss} レベル、0V)にあり、この初期状態においてたとえばメモリセル2はデータ"1"を記憶している(この場合、メモリセル2内のノードNの電位は高レベルであり、たとえば4Vである)と仮定し、ビット線対 B 、 \bar{B} の各電位 V_B 、 $V_{\bar{B}}$ は対応してたとえば低レベル(V_{ss} 電位)、高レベル(V_{cc} 電位)にあるものとする。時刻 t_1 でプリチャージ制御信号PGがプリチャージ回路 I に与えられてプリチャージ動作が開始する。これにより、ビット線 B の電位 V_B が上昇してビット線 \bar{B} の電位 $V_{\bar{B}}$ と等しくなる。時刻 t_2 でたとえば前記メモリ2に接続されているワード線 4 およびビット線 \bar{B} 側のダミーセル3

- 5 -

れており、各ビット線 B 、 \bar{B} にはそれぞれ複数のメモリセル(図示簡略化のために各1個 2 、 $2'$ を示す)と各1個のダミーセル $3'$ 、 3 とが接続されている。上記各メモリセル2は、1個のNチャネルMOSトランジスタからなる転送トランジスタ T と1個の記憶キャパシタ C とが接続されてなり、上記トランジスタ T の一端がビット線に接続され、キャパシタ C の一端にはたとえば5Vの V_{cc} 電源が接続されている。そして、各メモリセル 2 、 $2'$ の転送トランジスタ T のゲートには各対応して行選択線であるワード線 4 、 $4'$ が接続されており、前記各ダミーセル $3'$ 、 3 の転送トランジスタのゲートには各対応してダミーワード線 $5'$ 、 5 が接続されている。また、前記ビット線対 B 、 \bar{B} にはラッチ型センスアンプ6が接続されており、このセンスアンプ6は、それぞれのドレインが相異なるビット線に接続されると共に互いのゲートおよびドレインが交叉接続されたNチャネルMOSトランジスタ T_1 、 T_2 と、このトランジスタ T_1 、 T_2 の各ソー

- 4 -

に接続されているダミーワード線 5 が選択されてその電位 V_{wL} がたとえば V_{cc} 電位まで上昇する。このとき、メモリセル2の転送トランジスタ T はオフのままであるが、ダミーセル3の転送トランジスタ(図示せず)がオンになってその記憶キャパシタの電位が読み出されてビット線 \bar{B} の電位 $V_{\bar{B}}$ がビット線 B の電位 V_B よりも微少電位だけ低くなる。時刻 t_3 でセンスラッチ信号線7を経てセンスラッチ信号SLがセンスアンプ6に与えられてセンスラッチ動作が行われ、これによりビット線 \bar{B} の電位 $V_{\bar{B}}$ は低レベル(V_{ss} 電位)になるが、ビット線 B の電位 V_B は高レベルのままである。時刻 t_4 で前記ワード線 4 、ダミーワード線 5 が非選択状態になる。

〔背景技術の問題点〕

ところで、上述した従来のDRAMにおいては、ゲート長の縮小により転送トランジスタ T の実効チャネル長が縮小されていくと、サブスレッショールドリーク電流が無視できなくなり、メモリの記憶保持特性が悪化してくる。特に、短チ

- 6 -

チャネル効果により閾値電圧の制御が困難化してくるため、ますますサブスレッショールドリーク電流は防止できなくなってくる。

一方、上記サブスレッショールドリーク電流や短チャネル効果を抑えるためにNチャネル転送トランジスタTのチャネル領域およびチャネル領域下に高濃度のアクセプタ不純物のイオン注入が必要となる。これによって、Nチャネルトランジスタの逆バイアス効果による実効閾値電圧シフトが生じたり、チャネル移動度が劣化したり、転送トランジスタTのソース、ドレイン接合容量が増加するのでビット線容量の増大をもたらすなどの欠点が生じる。また、メモリの半導体基板のバイアス発生用の基板バイアス発生回路を除いた場合、ビット線電位の低レベルは基板電位と等しくなることがあり、接合容量が増し、ビット線容量が大きくならざるを得ない。

[発明の目的]

本発明は上記の事情に鑑みてなされたもので、

-7-

電源 V_{ss} の電位より定電圧分 $4V$ だけレベルシフトした内部電源電位 V_1 を与えるための内部電源回路20をメモリチップ上に設けた点が異なり、その他は同じであるので同一符号を付してその説明を省略する。

上記内部電源回路20は、 V_{cc} 電位(たとえば $5V$)の外部電源線21および V_{ss} 電位($0V$)の外部基準電源線22より電力を供給され、内部電源出力線23に内部電源電位 V_1 (本例では V_{ss} 電位より $4V$ だけ高い。即ち、 $V_1 = V_{ss} + 4V$ である)を供給する。

上記DRAMの動作はたとえば第2図(b)に示すようになり、これは第1図(b)を参照して前述した従来例の動作に比べてビット線対の低レベルは V_{ss} 電位ではなく、非選択状態のワード線電位($V_{ss} = 0V$)を基準にして常に $4V$ 以上高い V_1 電位になる点が異なり、その他の点は前記従来例の動作と同様である。

ここで、メモリセル2, 2'の転送トランジスタTとして、たとえばそのゲート長 $L_g = 1.0 \mu m$,

-9-

メモリセルの転送トランジスタの接合容量の低減およびビット線容量の低減を実現でき、さらに上記転送トランジスタの特性を損なうことなくそのサブスレッショールドリーク電流の防止を図り得るダイナミック型ランダムアクセスメモリを提供するものである。

[発明の概要]

即ち、本発明のDRAMは、ビット線対に接続されているラッチ型センスアンプの基準電位として、外部基準電源電位より定電圧 $4V$ 分だけレベルシフトした内部電源電圧を供給する内部電源回路を付加し、メモリセルの非選択時におけるワード線電位に対してビット線の低レベル電位を前記定電圧分以上シフトさせて動作させることを特徴とするものである。

[発明の実施例]

以下、図面を参照して本発明の一実施例を詳細に説明する。第2図(a)はDRAMの一部を示しており、第1図(a)を参照して前述したDRAMに比べて、センスアンプ6の基準電位線8に外部基準

-8-

実効チャネル長 $0.8 \mu m$, ゲート酸化膜厚 $t_{ox} = 150 \text{ \AA}$, 基板濃度を $5 \times 10^{15} \text{ cm}^{-3}$ とした場合、そのドレイン電流を I_d , ゲート電圧を V_g で表わして $\sqrt{I_d}$ 対 V_g の特性の一例は第3図に示すようになる。即ち、転送トランジスタTの上記特性曲線の直線部を外挿した閾値電圧 V_{th} は $0.3V$ であり、サブスレッショールドリーク電流に対する閾値電圧 V_{thsub} は $-0.3V$ である。換言すれば、上記転送トランジスタの特性は、ゲート電位とソース電位とが等しいときにドレイン・ソース間に電流が流れる。

そこで、 $4V$ としてたとえば $0.6V$ 、したがって $V_1 = 0.6V$ に設定しておくものとすれば、第2図(b)の時刻 t_0 においては各ワード線は非選択状態で $0V$ 、ビット線Bの電位 V_B は低レベル($0.6V$)であるので、この低レベルのビット線Bに接続されているメモリセル2の転送トランジスタTの実効的ゲート電圧は $-0.6V$ となり、そのサブスレッショールド閾値電圧 V_{thsub} ($-0.3V$)より低くなって上記転送トランジ

-10-

スタ T はカットオフしており、そのサブスレッショールドリーク電流が防止される。

したがって、上記 DRAM によれば、メモリセル 2 の書き込み電荷量の低下が生じることもなく、良好な転送トランジスタ特性、換言すれば良好な記憶保持特性が得られる。

しかも、上記 DRAM によれば、上記サブスレッショールドリーク電流の防止を図るために転送トランジスタの基板を特別な高不純物濃度にする必要がなく、これに伴って転送トランジスタのソース、ドレイン接合容量を低減し、ビット線容量を低減することが可能になる。また、上記した特別な高不純物濃度にする必要がないことから、逆バイアス効果による転送トランジスタの閾値電圧増加に伴なり記憶キャパシタへのデータ書き込み効率（電位）の低下が生じなくなる利点がある。

なお、上述した本発明実施例の効果の理解を助けるために、ここで前述の従来例における動作を詳述する。即ち、従来例においては、時刻

-11-

前記 $1 \times 10^{17} \text{ cm}^{-3}$ にまで高まると、転送トランジスタの逆バイアス効果による閾値電圧増加分および前記閾値電圧の増加分 0.6 V によりメモリセルへのデータの書き込み電位が著しく低下（たとえば 1 V 程度）してしまふことになる。

なお、本発明実施例の第 2 図 (a) の DRAM における内部電源回路の具体例をそれぞれ第 4 図乃至第 6 図に示している。即ち、第 4 図の内部電源回路 40 では、P チャネル MOS トランジスタ T_P とダイオード素子 D との直列回路が V_{CC} 電源線 21 と V_{SS} 電源線 22 との間に接続されると共に上記トランジスタ T_P のゲートが V_{SS} 電源線 22 に接続されてなり、上記トランジスタ T_P のドレインとダイオード素子 D のアノードとの接続点にダイオード順方向電圧 4 V 分だけ V_{SS} 電源電位からレベルシフトした内部電源電圧 V_1 が得られ、この V_1 電圧が出力電圧線 23 に出力される。

また、第 5 図の内部電源回路 50 は、第 4 図の回路における 1 個のダイオード素子 D を直列

-13-

に。においてビット線 B の低レベルが 0 V であるので、このビット線 B に接続されているメモリセル 2 の転送トランジスタ T にはそのサブスレッショールド電流閾値電圧 V_{thsub} より高い電位がゲートに加わることになり、サブスレッショールドリーク電流が上記転送トランジスタ T を流れる。したがって、上記時刻 t_0 からプリチャージ開始時刻 t_1 までの時間が長いと、上記リーク電流によりメモリセル 2 の記憶キャパシタ T の保持電荷が失われてしまう。そして、従来例の場合に、上記サブスレッショールドリーク電流を本発明実施例と同等程度に防止しようとするには、転送トランジスタ T の閾値電圧 V_{th} を 0.6 V 程度正側にシフトする必要が生じ、このシフトのためには転送トランジスタの基板不純物濃度をたとえば $1 \times 10^{17} \text{ cm}^{-3}$ にまで高める必要が生じる。しかし、このように濃度を高めると、転送トランジスタのソースあるいはドレインの接合容量が付加されるビット線容量が著しく増加してしまふ。また、基板不純物濃度が

-12-

接続された 2 個のダイオード素子 D_1 、 D_2 に置き換えたものであり、4 V はダイオード順方向電圧の 2 倍になる。

また、第 6 図の内部電源回路 60 は、P チャネルトランジスタ T_P および N チャネルトランジスタ T_N の直列回路が V_{CC} 電源線 21 と V_{SS} 電源線 22 との間に接続され、上記両トランジスタの接点と上記 N チャネルトランジスタ T_N のゲートとの間に 2 段の CMOS インバータ I_1 、 I_2 が挿入接続され、前記 P チャネルトランジスタ T_P のゲートが V_{SS} 電源線 22 に接続されてなり、前記接続点の出力電圧 V_1 が出力電圧線 23 に出力されるものである。この場合、上記接続点電圧が初段の CMOS インバータ I_1 の閾値電圧より低ければ、この CMOS インバータ I_1 の出力は V_{CC} 電位、次段の CMOS インバータ I_2 の出力は V_{SS} 電位となって N チャネルトランジスタ T_N はオフになるが、前記接続点電圧が上記 CMOS インバータ I_1 の閾値電圧より高ければ、この CMOS インバータ I_1 の出力は V_{SS} 電位、次段の CMOS

-14-

ンバータ I_2 の出力は V_{cc} 電位となって N チャネルトランジスタ T_N はオンになる。したがって、出力電圧 V_1 は前記 CMOS インバータ I_1 の閾値電圧に等しい値になる。なおインバータ I_1 , I_2 はそれぞれ P チャネルトランジスタ T_{P1} と N チャネルトランジスタ T_{N1} とからなる。

第7図は、本発明の他の実施例に係る DRAM の一部を示しており、各列 (ビット線対 $B_1, \bar{B}_1, B_N, \bar{B}_N$) のセンスアンプ $70_1 \sim 70_N$ における交叉接続トランジスタ対 T_1, T_2 のソース共通接続点が一括接続されて共通の1個のラッチ用 MOS トランジスタ T' を介して内部電源回路 20 の出力電圧線 23 に接続されたものであり、その他は前記実施例と同様である。

また、前記各実施例では、メモリセル用転送トランジスタおよびセンスアンプ用トランジスタとして N チャネル型を用いた場合を示したが、これとは逆にそれぞれ P チャネル型トランジスタを用いた場合にも電位関係の基準を逆転することにより前記実施例と同様な効果が得られる。

-15-

タの特性例を示す図、第4図乃至第6図はそれぞれ第2図における内部電源回路の具体例を示す回路図、第7図は本発明の他の実施例の要部を示す回路図である。

$B, \bar{B}, B_1, \bar{B}_1, \dots, B_N, \bar{B}_N$... ビット線、 $2, 2'$... メモリセル、 $3, 3'$... ダミーセル、 $4, 4'$... ワード線、 $5, 5'$... ダミーワード線、 $6, 70$... センスアンプ、 $20, 40, 50, 60$... 内部電源回路、 T ... ラッチ用トランジスタ。

即ち、この場合には、外部基準電位源を V_{cc} 電源とし、この V_{cc} 電源電位より $4V$ だけ低い電位をセンスアンプの基準電位として供給すればよい。

〔発明の効果〕

上述したように本発明の DRAM によれば、メモリセルの転送トランジスタの接合容量の低減およびビット線容量の低減を実現でき、上記転送トランジスタの逆バイアス効果による記憶キャパシタへのデータ書き込み電位の低下を防止でき、しかも上記転送トランジスタの特性を損なうことなくそのサプスレッシュホールドリーク電流の防止についてはメモリセルの記憶保持特性の向上を図ることができる。

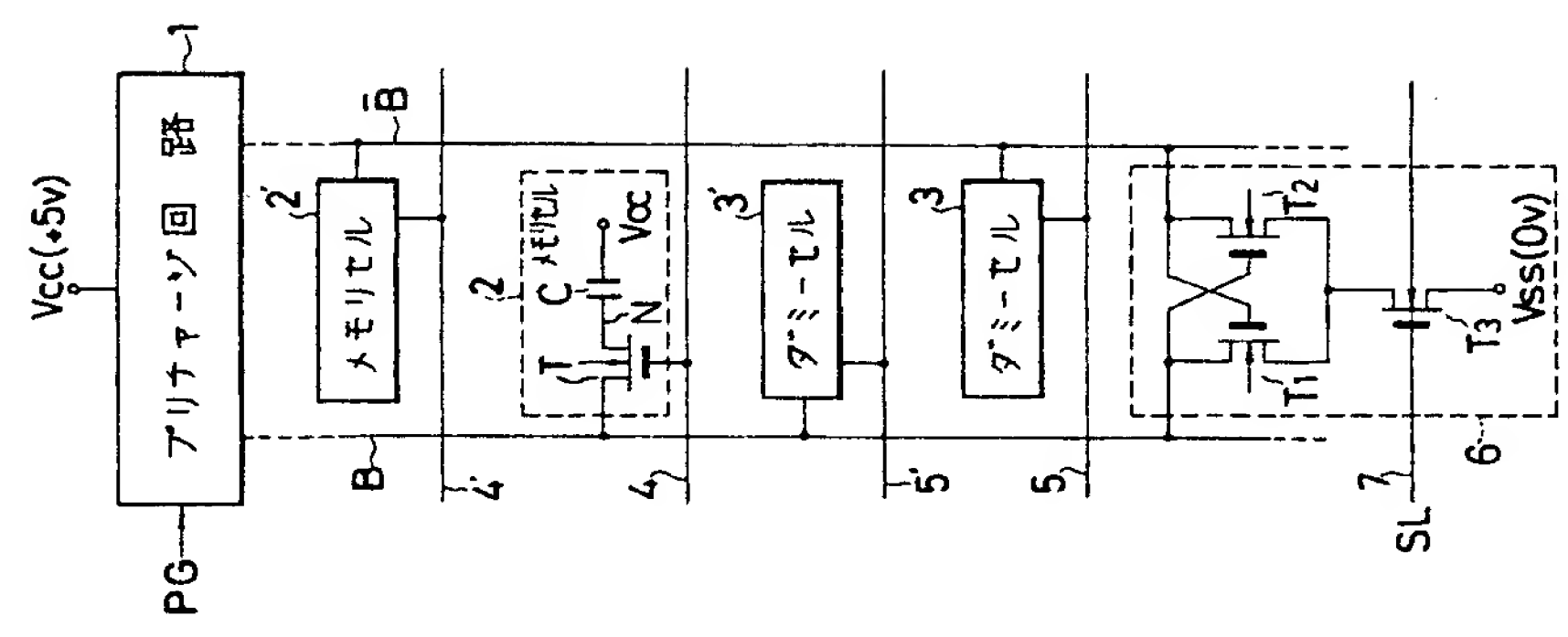
4. 図面の簡単な説明

第1図は従来の DRAM の一部を示す回路図およびその一動作例を示す電位波形図、第2図は本発明の一実施例に係る DRAM の一部を示す回路図およびその一動作例を示す電位波形図、第3図は第2図におけるメモリセル内転送トランジスタ

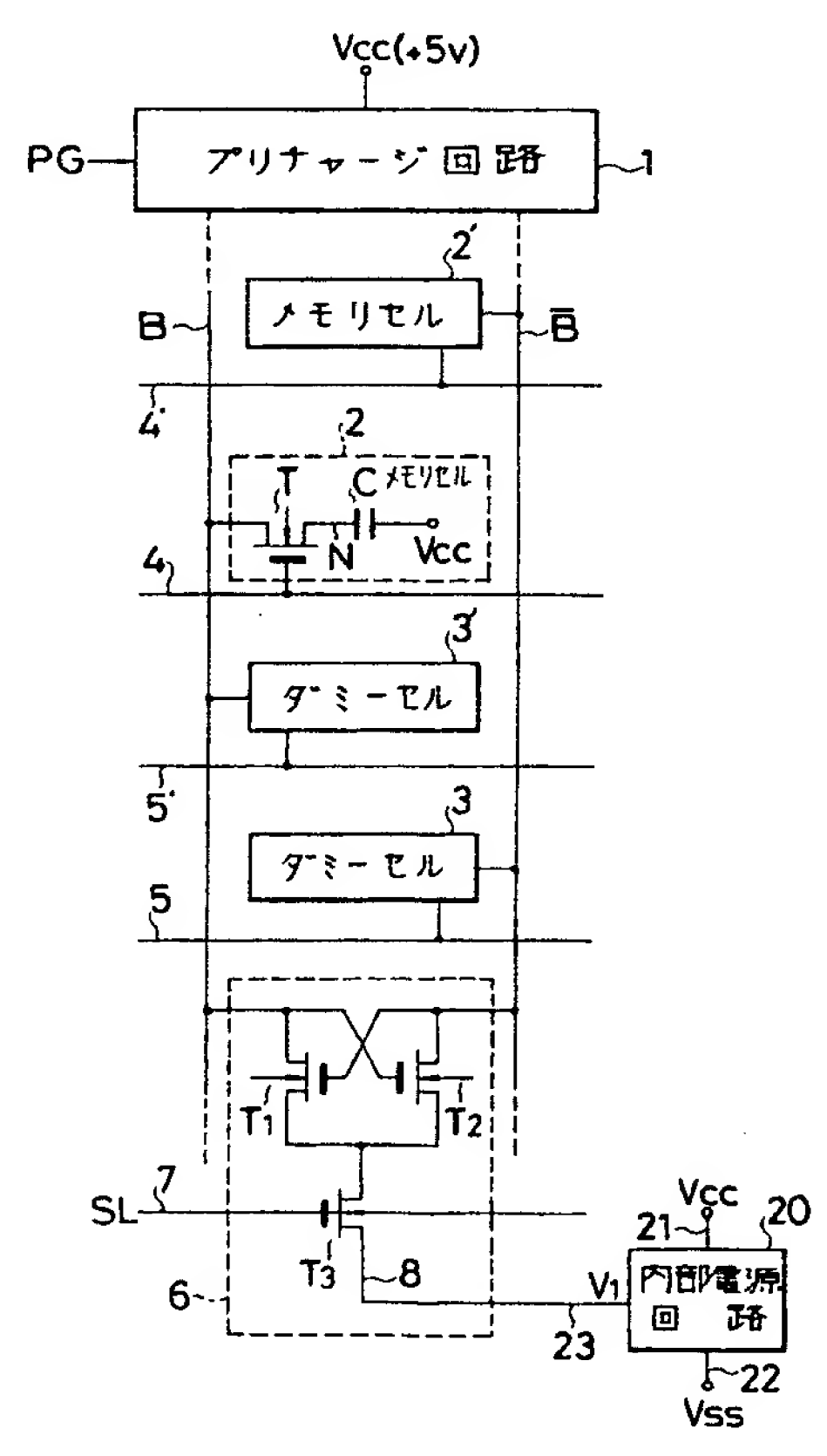
-16-

出願人代理人 弁理士 鈴 江 武 彦

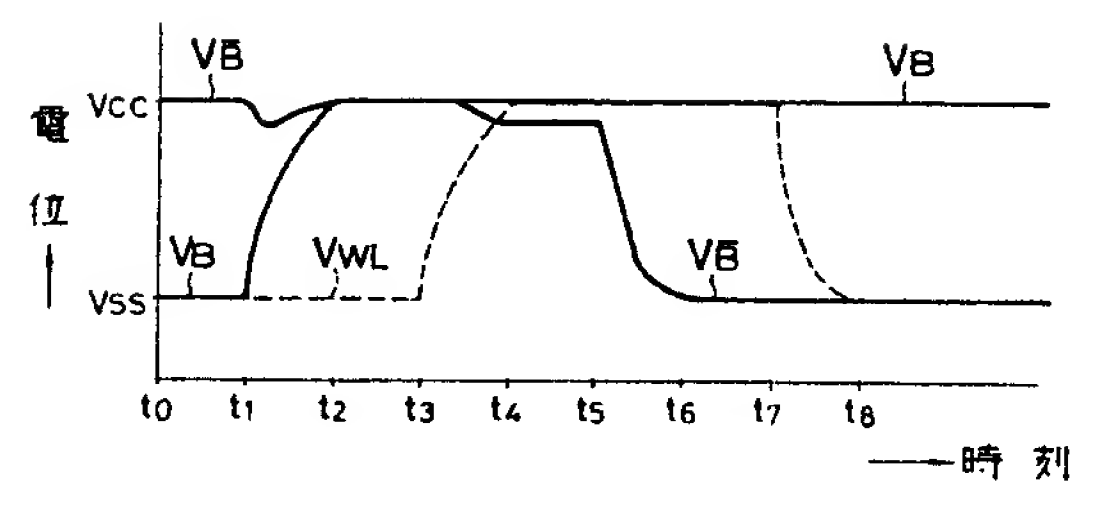
第 1 図 (a)



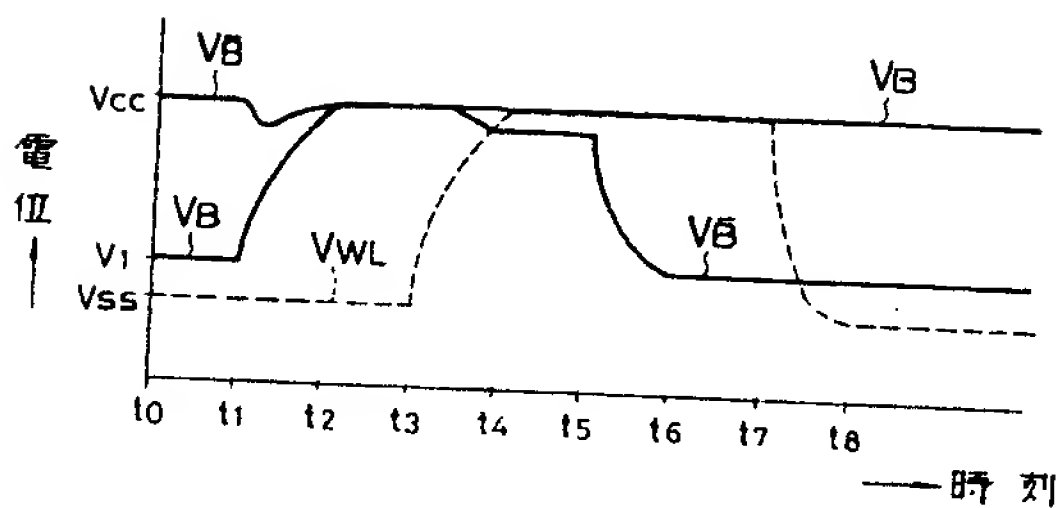
第 2 図 (a)



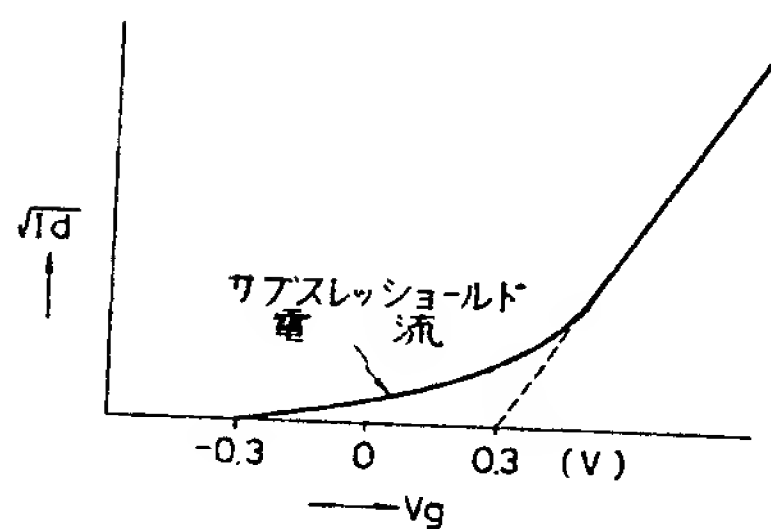
第 1 図 (b)



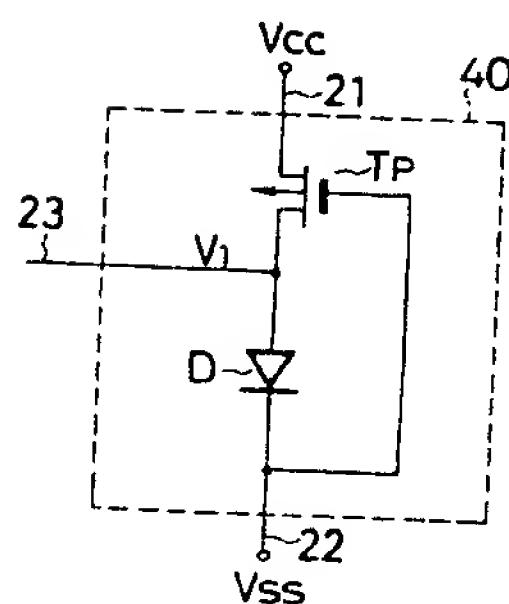
第 2 図 (b)



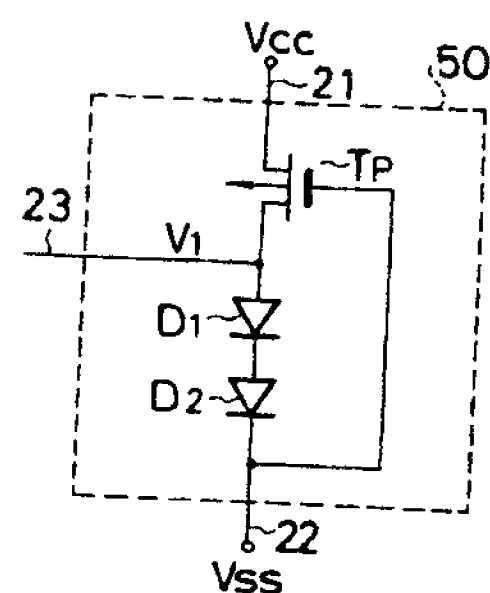
第 3 図



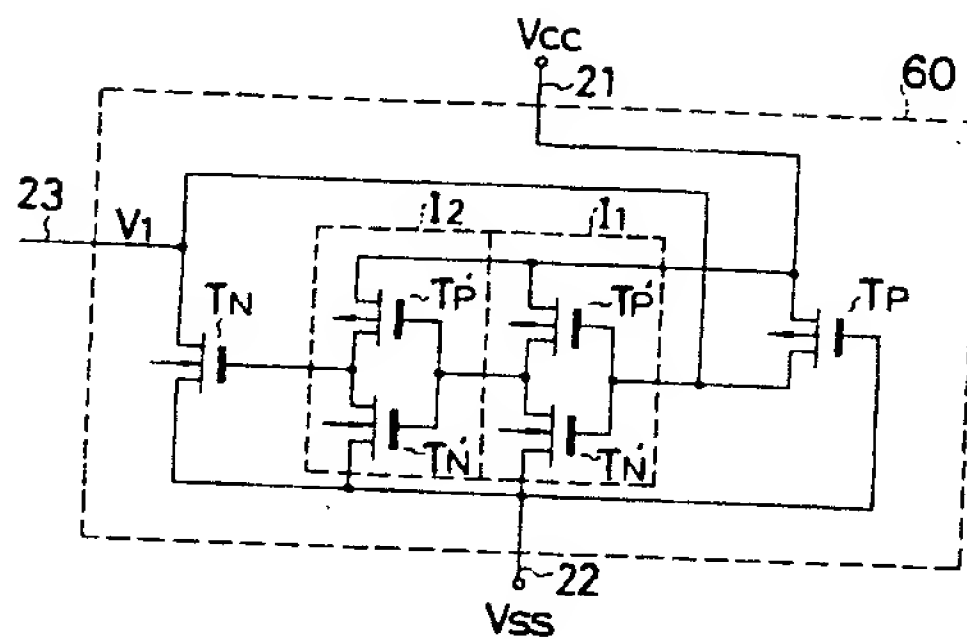
第 4 図



第 5 図



第 6 図



第 7 図

